

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: Xiaoning et al.

Application No.: 09/928,797

Filed: 08/13/2001

For: HIGH SPEED PROCESSOR

Group No.: 2185

Examiner: Not Assigned

Commissioner for Patents

Washington, D.C. 20231

TRANSMITTAL OF CERTIFIED COPY

Attached please find the certified copy of the foreign application from which priority is claimed for this case:

Country: Germany

Application Number: 100 40 389.1-53

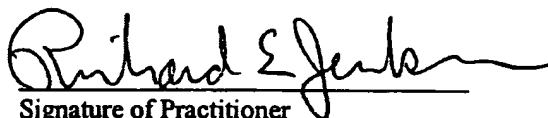
Filing Date: 08/13/2001

Date:

11-16-01

Reg. No.: 28,428

Tel. No.: 001-919-493-8000



Signature of Practitioner

Richard E. Jenkins  
JENKINS & WILSON, P.A.  
Suite 1400 University Tower  
3100 Tower Boulevard  
Durham, NC 27707  
USA

CERTIFICATE OF MAILING (37 C.F.R. section 1.8a)

I hereby certify that this correspondence is, on the date shown below, being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to the Commissioner for Patents, Washington, D.C. 20231.

Date: November 16, 2001



Signature

Shaylor E. Dunn  
(type or print name of person certifying)

(Transmittal of Certified Copy--page 1 of 1)

COPY OF PAPERS  
ORIGINALLY FILED



09928797



**CERTIFIED COPY OF  
PRIORITY DOCUMENT**

**Prioritätsbescheinigung über die Einreichung  
einer Patentanmeldung**

**Aktenzeichen:** 100 40 389.1

**Anmeldetag:** 18. August 2000

**Anmelder/Inhaber:** Infineon Technologies AG, München/DE

**Bezeichnung:** Hochgeschwindigkeitsprozessor

**IPC:** G 06 F 13/16

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 19. Oktober 2001  
Deutsches Patent- und Markenamt  
Der Präsident  
Im Auftrag

Agurks

## Beschreibung

## Hochgeschwindigkeitsprozessor

- 5 Die Erfindung betrifft einen Hochgeschwindigkeitsprozessor, der insbesondere zur Datenverarbeitung von Daten geeignet ist, die mittels xDSL-Datenübertragungsverfahren übertragen werden.
- 10 Bei neuen Telekommunikationsdiensten müssen sehr große Datenmengen übertragen werden und somit steigen die notwendigen Datenübertragungsraten an. Multimedia-Anwendungen benötigen Datenübertragungsraten von einigen Megabits pro Sekunde. Bei dem xDSL-Datenübertragungsverfahren (DSL: Digital Subscriber
- 15 Line) handelt es sich um ein digitales Übertragungsverfahren, bei dem Daten über gewöhnliche Telefonleitungen, d.h. verdrehte Zweidrahttelefonleitungen aus Kupfer, zum Endteilnehmer übertragen werden. Der ansteigende Bedarf an Hochgeschwindigkeitsdatenübertragungen beschleunigt die Entwicklung
- 20 der Übertragungsnetzwerke und der entsprechenden Endgeräte.

Die Daten, die mit einer sehr hohen Datenrate übertragen werden, können mit Hardware-Logikschaltungen verarbeitet werden. Beispielsweise kann das Entrahmen bzw. Deframing ankommender Datenrahmen durch eine Hardware-Logikschaltung nach dem Stand der Technik geschehen, wie sie in Figur 1 dargestellt ist. Hierzu wird der ankommende digitale Datenstrom  $d_{in}$  durch fest verdrahtete Logikschaltungen verarbeitet und als Datenstrom  $d_{aus}$  abgegeben. Dies hat jedoch den erheblichen Nachteil, dass

30 die Hardware-Logikschaltung vollkommen inflexibel ist, d.h. lediglich zur Datenverarbeitung von Datenströmen mit einem fest vorgegebenen Datenformat geeignet ist. Ein weiterer Nachteil besteht darin, dass die festverdrahteten Hardware-Logikschaltungen nicht universell für verschiedene Anwendungen

35 einsetzenbar sind, wodurch die Anzahl der hergestellten Logikschaltungen für spezifische Anwendungen relativ gering ist und somit die Herstellungskosten stark ansteigen.

Zur Datenverarbeitung übertragener Daten werden herkömmliche Kommunikationsprozessoren eingesetzt, die flexibel einsetzbar sind. Figur 2 zeigt einen herkömmlichen Kommunikationsprozessor nach dem Stand der Technik. Die von einer Datenquelle DQ  
5 abgegebenen Datensignale werden durch einen Analog/Digital-Wandler in digitale Signale umgewandelt und einem Dateneingang E des Kommunikationsprozessors zugeleitet. Der ankommende digitale Datenstrom  $d_{in}$  gelangt in einen Eingangs-Zwischenspeicher bzw. ein Eingangsport. Dieses Eingangsport ist  
10 über einen Adressbus des Kommunikationsprozessors adressierbar. Der in Figur 2 dargestellte herkömmliche Prozessor weist einen Adressbus zur Adressierung der verschiedenen Schnittstellenspeicher bzw. Ports und des Datenspeichers auf. Der  
15 Datenspeicher besteht dabei beispielsweise aus mehreren RAM-Speichern. Der Datenspeicher sowie die Schnittstellen-Zwischenspeicher bzw. Ports liegen an einem gemeinsamen Datenbus zum internen Datenaustausch innerhalb des Kommunikationsprozessors an. Der Kern des Prozessors wird durch eine Datenverarbeitungseinheit gebildet, die interne Register R enthält.  
20 Die Datenverarbeitungseinheit ist an einen Festwertspeicher bzw. ROM-Speicher angeschlossen, in dem das ablauffähige Programm gespeichert ist. Die Ausgangsports bzw. Ausgangsschnittstellenspeicher sind über Datenausgänge A zur Abgabe eines Ausgangsdatenstroms  $d_{aus}$  an Digital/Analog-Wandler angeschlossen, die die abgegebenen digitalen Daten in analoge  
Ausgangssignale umwandeln. Die analogen Ausgangssignale werden über Analogleitungen an eine Datensenke, beispielsweise ein Endgerät, abgegeben.

30 Die herkömmlichen Kommunikationsprozessoren sind in der Regel als sogenannte RISC-Prozessoren aufgebaut (RISC: Reduced Instruction Set Computer). RISC-Prozessoren weisen einen reduzierten Befehlssatz einfacher Assembleranweisungen auf.

35 Figur 3 zeigt schematisch die Durchführung eines Datenladebefehls, bei dem in dem Eingangsschnittstellen-Zwischenspeicher

Port<sub>in</sub> zwischengespeicherte Eingangsdaten in die Datenverarbeitungseinheit des herkömmlichen Prozessors zur weiteren Datenverarbeitung geladen werden. Der herkömmliche Kommunikationsprozessor nach dem Stand der Technik, wie er in Figur 2  
5 dargestellt ist, besitzt einen Adressbus zur Adressierung des Datenspeichers und der Schnittstellen-Zwischenspeicher. Der Adressraum ist dabei in einen Datenspeicher-Adressbereich und in einen Port-Adressbereich aufgeteilt. Jeder Zwischenspeicher bzw. jedes Port besitzt einen eigenen Adressbereich innerhalb des einheitlichen Adressraums. Die in den Eingang-Schnittstellen-Zwischenspeicher gelangten Eingangsdaten d<sub>in</sub>  
10 werden bei einer Adresse x innerhalb des Adressbereichs des Eingangs-Schnittstellen-Zwischenspeichers als Eingangsdaten eingeschrieben. Zur Datenverarbeitung der eingeschriebenen  
15 Eingangsdaten wird zunächst die Adresse x in ein erstes Register R1 innerhalb der Datenverarbeitungseinheit geladen:

Load R1, x

20 In dem Register R1 befindet sich nunmehr die Adresse x.

Danach wird in einem indirekten Lade- bzw. Speicherbefehl der Dateninhalt der im Register R1 abgespeicherten Adresse x in ein zweites Register R2 geladen:

25 Load<sub>indirekt</sub> R1, R2

Der Kommunikationsprozessor nach dem Stand der Technik benötigt somit zwei Befehle, um Eingangsdaten zur Datenverarbeitung  
30 in die Datenverarbeitungseinheit zu laden.

Bei vielen Anwendungen, insbesondere bei der Datenübertragung und Datenverarbeitung innerhalb von Netzwerken wird ein Großteil der übertragenen Daten durch den Kommunikationsprozessor  
35 nicht verändert, sondern ohne Datenmanipulation an weitere ausgeschaltete Kommunikationsprozessoren bzw. Router oder Endgeräte übertragen. Insbesondere die innerhalb von Daten-

rahmen befindlichen Nutzdaten (Payload) werden unverändert übertragen.

5 Ein Datentransfer erfolgt bei dem Kommunikationsprozessor nach dem Stand der Technik, wie er in der Figur 2 abgebildet ist, umständlich durch den Ablauf von vier Prozessorbefehlen.

Zunächst wird die Adresse x innerhalb des Adressbereichs des Eingangsports in ein Register R1 geladen:

10

Load R1, x

Anschließend wird durch einen Befehl der Dateninhalt der im Register R1 abgespeicherten Adresse x in ein internes Register R2 der Datenverarbeitungseinheit mittels eines indirekten Ladebefehls übertragen:

15

Load<sub>indirekt</sub> R1, R2

20 Beim dritten Prozessorbefehl wird die Adresse y innerhalb des Adressbereichs des Ausgangsports in ein drittes Register R3 geladen:

Load R3, y

In einem vierten Prozessorbefehl wird der Dateninhalt des Registers R2 auf die Adresse, die im Register R3 gespeichert wurde, abgespeichert:

30 Load<sub>indirekt</sub> R2, R3

Um die Eingangsdaten von dem Eingangs-Schnittstellen-Zwischenspeicher Port IN zu dem Ausgangs-Schnittstellen-Zwischenspeicher Port AUS zu übertragen, benötigt daher der herkömmliche Kommunikationsprozessor bereits vier Prozessorbefehle. Werden große Datenmengen durch den Kommunikationsprozessor ohne Veränderung der an dem Eingang E ankommenden Da-

35

ten an den Ausgang A weitergeleitet, wird die Datenübertragung aufgrund der Vielzahl notwendiger Prozessorbefehle erheblich verlangsamt.

5 Es ist daher die Aufgabe der vorstehenden Erfindung, einen Hochgeschwindigkeitsprozessor zu schaffen, der einen Datentransfer mit einer sehr hohen Datenübertragungsrate ermöglicht.

10 Diese Aufgabe wird erfindungsgemäß durch einen Hochgeschwindigkeitsprozessor mit den in Patentanspruch 1 angegebenen Merkmalen gelöst.

Die Erfindung schafft einen Hochgeschwindigkeitsprozessor mit

15

einer Datenverarbeitungseinheit zur Verarbeitung von Daten, einem Datenspeicher, der über einen Datenbus mit der Datenverarbeitungseinheit verbunden ist und über einen Datenspeicheradressbus durch die Datenverarbeitungseinheit adressierbar ist,

20

mindestens einem an dem Datenbus angeschlossenen Eingangsschnittstellen-Zwischenspeicher zum Zwischenspeichern von Eingangsdaten, mindestens einem an dem Datenbus angeschlossenen Ausgangsschnittstellen-Zwischenspeicher zum Zwischenspeichern von Ausgangsdaten, wobei der Eingangsschnittstellen-Zwischenspeicher und der Ausgangsschnittstellen-Zwischenspeicher über einen separaten Schnittstellen-Adressbus durch die Datenverarbeitungseinheit adressierbar sind.

30

Der Datenspeicher enthält vorzugsweise mindestens einen RAM-Speicher.

35 Die Datenverarbeitungseinheit ist bei einer bevorzugten Ausführungsform des erfindungsgemäßen Hochgeschwindigkeitspro-

zessors mit einem ROM-Speicher verbunden, in dem Programmdaten abgespeichert sind.

Bei der Datenverarbeitungseinheit handelt es sich vorzugsweise um eine RISC-Datenverarbeitungseinheit.

Die Datenverarbeitungseinheit enthält vorzugsweise mehrere adressierbare interne Register.

10 Durch die Datenverarbeitungseinheit des erfindungsgemäßen Hochgeschwindigkeitsprozessors sind vorzugsweise zusätzliche Datentransfer-Prozessorbefehle zum direkten Datenaustausch zwischen dem Datenspeicher, den internen Registern und den Schnittstellen-Zwischenspeichern ausführbar.

15

Bei Ausführung eines ersten Datentransfer-Prozessorbefehls durch die Datenverarbeitungseinheit werden vorzugsweise die in dem Eingangs-Schnittstellen-Zwischenspeicher zwischengespeicherten Eingangsdaten direkt in ein internes Register der Datenverarbeitungseinheit zur weiteren Datenverarbeitung übertragen.

20

Bei Ausführung eines zweiten Datentransfer-Prozessorbefehls durch die Datenverarbeitungseinheit des erfindungsgemäßen Hochgeschwindigkeitsprozessors werden vorzugsweise die in einem Eingangs-Schnittstellen-Zwischenspeicher zwischengespeicherten Eingangsdaten direkt in einen Ausgangs-Schnittstellen-Zwischenspeicher zur Datenausgabe übertragen.

25

30 Bei Ausführung eines dritten Datentransfer-Prozessorbefehls durch die Datenverarbeitungseinheit des erfindungsgemäßen Hochgeschwindigkeitsprozessors werden vorzugsweise die in einem internen Register der Datenverarbeitungseinheit zwischengespeicherten Daten direkt in einen Ausgangs-Schnittstellen-Zwischenspeicher zur Datenausgabe übertragen.

35



Bei Ausführung eines vierten Datentransfer-Prozessorbefehls durch die Datenverarbeitungseinheit des erfindungsgemäßen Hochgeschwindigkeitsprozessors werden vorzugsweise die in einem Eingangs-Schnittstellen-Zwischenspeicher zwischengespeicherten Eingangsdaten direkt in den Datenspeicher zum Abspeichern übertragen.

Bei Ausführung eines fünften Datentransfer-Prozessorbefehls durch die Datenverarbeitungseinheit des erfindungsgemäßen Hochgeschwindigkeitsprozessors werden vorzugsweise die im Datenspeicher abgespeicherten Daten direkt in einen Ausgangs-Schnittstellen-Zwischenspeicher zur Datenausgabe übertragen.

Bei einer bevorzugten Ausführungsform des erfindungsgemäßen Hochgeschwindigkeitsprozessors ist der Eingangs-Schnittstellen-Zwischenspeicher an einen Analog/Digital-Wandler angeschlossen.

Bei einer weiteren Ausführungsform des erfindungsgemäßen Hochgeschwindigkeitsprozessors ist der Ausgangs-Schnittstellen-Zwischenspeicher vorzugsweise an einen Digital/Analog-Wandler angeschlossen.

Der Eingangs-Schnittstellen-Zwischenspeicher und der Ausgangs-Schnittstellen-Zwischenspeicher sind vorzugsweise über einen Steuersignalbus mit der Datenverarbeitungseinheit verbunden.

Bei einer besonders bevorzugten Ausführungsform des erfindungsgemäßen Hochgeschwindigkeitsprozessors ist der Eingangs-Schnittstellen-Zwischenspeicher ein xDSL-Schnittstellen-Zwischenspeicher zum Zwischenspeichern von xDSL-Daten.

Bei einer bevorzugten Ausführungsform des erfindungsgemäßen Hochgeschwindigkeitsprozessors ist der Ausgangs-Schnittstellen-Zwischenspeicher ein PCM-Schnittstellen-Zwischenspeicher zum Zwischenspeichern von PCM-Daten.

Jedes interne Register weist vorzugsweise mehrere Speicherplätze für verschiedene Datenwörter auf.

- 5 Bei einer besonders bevorzugten Ausführungsform ist jeder durch die Datenverarbeitungseinheit durchgeführten Prozessor-task ein eigenes internes Register zugeordnet.

10 Der xDSL-Eingangs-Schnittstellen-Zwischenspeicher weist vorzugsweise eine Datenrahmen-Erkennungseinrichtung zur Erkennung eines Datenrahmen-Synchronisationsdatenmusters auf.

15 Dabei enthält die Datenrahmen-Erkennungseinrichtung vorzugsweise ein Schieberegister zum Einschreiben von Eingangsdaten, einen Datenmusterspeicher zum Abspeichern des Datenrahmen-Synchronisationsdatenmusters und  
eine Vergleichseinrichtung zum bitweisen Datenvergleich der in das Schieberegister eingeschriebenen Eingangsdaten mit den in dem Datenmusterspeicher abgespeicherten Datenrahmen-Synchronisationsdatenmuster, wobei die Vergleichseinrichtung  
20 ein Datenrahmen-Erkennungssignal erzeugt, wenn die in das Schieberegister eingeschriebenen Eingangsdaten mit dem abgespeicherten Datenrahmen-Synchronisationsdatenmuster identisch sind.

25 Das Schieberegister wird vorzugsweise nach Erzeugen des Datenrahmen-Erkennungssignals zu einem Ringspeicher zum Zwischenspeichern der empfangenen xDSL-Daten erweitert. Der Le-sezeiger zeigt auf das erste gespeicherte Bit und wird nach  
30 jedem Lesen um x Bits weiterbewegt.

An die Schnittstellen-Zwischenspeicher des erfindungsgemäßen Hochgeschwindigkeitsprozessors sind vorzugsweise Peripheriegeräte anschließbar.

35

Die Eingangs-Schnittstellen-Zwischenspeicher und die Ausgangs-Schnittstellen-Zwischenspeicher des erfindungsgemäßen

Hochgeschwindigkeitsprozessors sind vorzugsweise konfigurierbar.

Figur 4 zeigt eine bevorzugte Ausführungsform des erfindungsgemäßen Hochgeschwindigkeitsprozessors 1 gemäß der Erfindung. Der Hochgeschwindigkeitsprozessor 1 gemäß der Erfindung besitzt mindestens einen Dateneingang 2 zum Empfang eines digitalen Datenstromes  $d_{in}$  über eine Dateneingangsleitung 3. Der digitale Eingangsdatenstrom  $d_{in}$  wird durch Umwandlung eines über eine analoge Signalleitung 4 übertragenen analogen Eingangssignals mittels eines A/D-Wandlers 5 erzeugt. Das analoge Eingangssignal wird durch eine beliebige Datenquelle 6 generiert. Bei einer bevorzugten Ausführungsform ist der Analog/Digital-Wandler 5 in den Hochgeschwindigkeitsprozessor 1 integriert. Der an dem digitalen Dateneingang 2 anliegende Datenstrom wird über interne Datenleitungen 7 des Hochgeschwindigkeitsprozessors 1 an den Dateneingang 8 eines Eingangs-Schnittstellen-Zwischenspeichers bzw. Eingangsports 9 angelegt.

Der Hochgeschwindigkeitsprozessor 1 weist einen internen Datenbus 10 auf, der über einen Datenbusanschluss 11 an den Eingangs-Schnittstellen-Zwischenspeicher 9 angeschlossen ist. Der Datenbus 10 ist ferner an einem Datenbusanschluss 12 mit einer Datenverarbeitungseinheit 13 des Hochgeschwindigkeitsprozessors 1 verbunden. Die Datenverarbeitungseinheit 13 bzw. der Prozessorkern enthält interne Register 14. Die Datenverarbeitungseinheit 13 führt eine Datenverarbeitung der an dem Datenbus 10 anliegenden Daten in Abhängigkeit von einem in einem Festwertspeicher bzw. ROM-Speicher 15 abgespeicherten Programm durch. Der ROM-Speicher 15 ist über Leitungen 16 an die Datenverarbeitungseinheit 13 bzw. den Prozessorkern angeschlossen. Der ROM-Speicher 15 befindet sich nicht in dem Prozessorkern, da die Programmlänge des in dem ROM-Speicher 15 abzuspeichernden Programms für unterschiedliche Anwendungen stark variiert. Das Vorsehen eines separaten ROM-Speichers 15 bietet den Vorteil, dass die Flexibilität des Hoch-

geschwindigkeitsprozessors 1 gemäß der Erfindung für den Einsatz bei unterschiedlichen Anwendungen gesteigert wird.

5 Die Datenverarbeitungseinheit 13 ist über einen Datenspeicher-Adressbusanschluss 17 an einen Datenspeicher-Adressbus 18 angeschlossen. Über den Datenspeicher-Adressbus 18 sind verschiedene RAM-Speicher 19a, 19b, 19c eines Datenspeichers 20 adressierbar. Die verschiedenen RAM-Speicher 19a, 19b, 19c des Datenspeichers 20 sind über Datenbusanschlüsse 21a, 21b, 10 21c an dem internen Datenbus 10 des Hochgeschwindigkeitsprozessors 1 und über Datenspeicher-Adressbusanschlüsse 22a, 22b, 22c an den Datenspeicher-Adressbus 18 des Hochgeschwindigkeitsprozessors 1 angeschlossen.

15 Die Datenverarbeitungseinheit 13 besitzt ferner einen Schnittstellen-Adressbusanschluss 23 zum Anschluss an einen separaten Schnittstellen-Adressbus 24. Der Schnittstellen-Adressbus 24 ist von dem Datenspeicher-Adressbus 18 völlig getrennt, so dass ein eigenständiger Schnittstellen-Adress- 20 raum durch die Datenverarbeitungseinheit 13 adressierbar ist. Der Eingangs-Schnittstellen-Zwischenspeicher 9 ist über einen Schnittstellen-Adressbusanschluss 25 mit dem Schnittstellen-Adressbus 24 verbunden. An dem Schnittstellen-Adressbus 24 ist ferner ein Ausgangs-Schnittstellen-Zwischenspeicher 26 25 über einen Schnittstellen-Adressbusanschluss 27 angeschlossen. Der Ausgangs-Schnittstellen-Zwischenspeicher 26 liegt über einen Datenbusanschluss 28 an dem Datenbus 10 des Hochgeschwindigkeitsprozessors 1 an.

30 Der Ausgangs-Schnittstellen-Zwischenspeicher 26 gibt über Datenleitungen 29 einen digitalen Ausgangsdatenstrom  $d_{aus}$  an einen digitalen Ausgang 30 des Hochgeschwindigkeitsprozessors 1 ab. Der digitale Datenausgang 30 ist über eine Datenleitung 31 an einen Digital/Analog-Wandler 32 angeschlossen. Der Digital/Analog-Wandler 32 wandelt den digitalen Ausgangsdaten- 35 strom  $d_{aus}$  in analoge Ausgangssignale um, die über eine Signalleitung 32 an eine beliebige Datensenke 33, beispielsweise

ein Peripheriegerät oder einen weiteren Hochgeschwindigkeitsprozessor abgegeben werden.

Der in Figur 4 dargestellte erfindungsgemäße Hochgeschwindigkeitsprozessor 1 kann eine Vielzahl von Eingangs-Schnittstellen-Zwischenspeichern bzw. Eingangs-Ports 9 mit zugehörigen Ausgangs-Schnittstellen-Zwischenspeichern bzw. Ausgangs-Ports 26 aufweisen. Bei einer bevorzugten Ausführungsform weist der Hochgeschwindigkeitsprozessor 1 vier Eingangs-Ports und vier Ausgangs-Ports auf.

Der erfindungsgemäße Hochgeschwindigkeitsprozessor 1 weist aufgrund der beiden getrennten Adressbusse 18, 24 einen eigenständigen RAM-Adressraum zur Adressierung des Datenspeichers 20 und einen eigenständigen Port-Adressraum zur Adressierung der Schnittstellen-Zwischenspeicher bzw. Ports 9, 26 auf. Die Datenverarbeitungseinheit 13 kann Datentransfer-Prozessorbefehle durchführen, die zu einem direkten Datenaustausch zwischen dem Datenspeicher 20, den Registern 14 und den Schnittstellen-Zwischenspeichern 9, 26 führen. Dabei werden Daten mit einem einzigen Prozessorbefehl zwischen dem Datenspeicher, einem Register oder einem Port übertragen.

Bei Ausführung eines ersten Datentransfer-Prozessorbefehls durch die Datenverarbeitungseinheit 13 werden die in dem Eingangs-Schnittstellen-Zwischenspeicher 9 zwischengespeicherten Eingangsdaten direkt in ein internes Register der Datenverarbeitungseinheit 13 zur weiteren Datenverarbeitung übertragen:

30 Load Port, R2

Bei Ausführung eines weiteren Datentransfer-Prozessorbefehls durch die Datenverarbeitungseinheit 13 werden die in dem Eingangs-Schnittstellen-Zwischenspeicher 9 (Port EIN) zwischengespeicherten Eingangsdaten ohne weitere Datenverarbeitung direkt in einen Ausgangs-Schnittstellen-Zwischenspeicher 26

(Port AUS) zur Datenausgabe übertragen. Der zugehörige Prozessorbefehl lautet:

Load Port<sub>Ein</sub>, Port<sub>Aus</sub>

5

Bei Ausführung eines dritten Datentransfer-Prozessorbefehls durch die Datenverarbeitungseinheit 13 werden die in einem internen Register R der Datenverarbeitungseinheit 13 zwischengespeicherten Daten direkt in den Ausgangs-Schnittstellen-Zwischenspeicher 26 zur Datenausgabe übertragen.

10

Bei Ausführung eines vierten Datentransfer-Prozessorbefehls durch die Datenverarbeitungseinheit 13 werden die in einem Eingangs-Schnittstellen-Zwischenspeicher 9 zwischengespeicherten Eingangsdaten direkt in den Datenspeicher 20 zum Abspeichern übertragen.

15

Bei Ausführung eines fünften Datentransfer-Prozessorbefehls durch die Datenverarbeitungseinheit 13 werden Daten, die in dem Datenspeicher 20 abgespeichert sind, direkt in den Ausgangs-Schnittstellen-Zwischenspeicher 26 zur Datenausgabe übertragen.

20

Der direkte Datentransfer, insbesondere von einem Eingangsport 9 zu einem Ausgangsport 26, bei Ausführung eines einzigen Prozessorbefehls ermöglicht sehr hohe Datenübertragungsraten von reinen Nutzdaten, die durch den Hochgeschwindigkeitsprozessor nicht verarbeitet werden müssen, sondern lediglich weitergegeben werden. Dies ist insbesondere bei Einsatz des Hochgeschwindigkeitsprozessors 1 als Kommunikationsrechner innerhalb eines Netzwerkes vorteilhaft. Daten werden bei modernen Netzwerken in Datenrahmen übertragen, wobei die Datenrahmen in der Regel aus Steuerdaten (Header) und reinen Nutzdaten (Payload) bestehen. Die Schnittstellen-Zwischenspeicher des erfindungsgemäßen Hochgeschwindigkeitsprozessors 1 sind vorzugsweise für verschiedene Datenrahmentypen konfigurierbar.

30

35

Die Datenverarbeitungseinheit 13 dient der Protokollverarbeitung, wobei sie vorzugsweise eine sogenannte Branch-Unit bzw. Verzweigungseinheit enthält. Die Branch-Steuereinheit über-  
5 mittelt die Adresse für den jeweils folgenden Befehl. Sie besteht im wesentlichen aus einem Zwischenspeicher zum Abspeichern des Zustandes eines Programmzählers und einem Addierer. Der gespeicherte Programmzählwert wird ausgelesen und an den ROM-Speicher 15 angelegt, um den nächsten Prozessorbefehl aus  
10 dem Programmspeicher 15 auszulesen.

Die Datenverarbeitungseinheit 13 enthält ferner einen Befehlsdecoder, der aus den Instruktionen bzw. Befehlen die Steuersignale und die Adressen extrahiert. Um einen einfachen  
15 Aufbau des Befehlsdecoders zu gewährleisten, werden die Prozessorbefehle vorzugsweise unterteilt bzw. segmentiert. Der Befehlsdecoder enthält eine Schaltung zur Auswertung von Interruptsignalen, um gegebenenfalls einen Taskwechsel zu veranlassen. In der Datenverarbeitungseinheit 13 ist ferner eine  
20 arithmetisch logische Einheit ALU enthalten. Die ALU ist ein Rechenwerk zur Durchführung von Rechenoperationen auf Bitebene. Das Rechenwerk bzw. die ALU führt arithmetische Operationen, Verschiebeoperationen sowie Vergleichs- und Bittestoperationen durch. Die Datenverarbeitungseinheit 13 steuert  
25 die Eingangs- und Ausgangsports über einen Port-Steuersignalbus mit einer Bitbreite von beispielsweise 3 Bit.

In der Datenverarbeitungseinheit 13 werden die in dem ROM-Speicher 15 abgespeicherten Programme abgearbeitet. Bei einer  
30 bevorzugten Implementierung wird das auszuführende Programm in vier Tasks aufgeteilt. Für jede Task stehen bei einer besonders bevorzugten Ausführungsform acht Register, ein Speicher für ein Carry und Zeroflag sowie ein Programmzähler zur Verfügung. Eine der vier Tasks beinhaltet das eigentliche  
35 Hauptprogramm. Dieses Hauptprogramm verarbeitet die im Protokoll enthaltenen Programmdateien. Bei einem ausgelösten Interrupt wird die Haupttask unterbrochen und in eine dem Inter-

rupt zugeordnete Task gewechselt. Nach erfolgter Bearbeitung des Interrupts erfolgt ein Rücksprung in die Haupttask. Da die Datenverarbeitungseinheit 13 verschiedene Tasks verarbeiten kann, beispielsweise eine Haupttask und Interrupt-

5 Verarbeitungstasks besitzt jede Task einen eigenen Speicher für den zugehörigen Programmzähler.

Der erfindungsgemäße Hochgeschwindigkeitsprozessor 1, wie er in Figur 4 dargestellt ist, eignet sich insbesondere zur Datenübertragung und Datenverarbeitung von xDSL-Daten. Der Eingangs-Schnittstellen-Zwischenspeicher 9 ist hierzu vorzugsweise als ein xDSL-Schnittstellen-Zwischenspeicher zur Aufnahme von xDSL-Datenrahmen ausgebildet. Hierzu erhält der xDSL-Eingangs-Schnittstellen-Zwischenspeicher 9 eine Datenrahmen-Erkennungseinrichtung zur Erkennung eines vorgegebenen Datenrahmen-Synchronisations-Datenmusters. Die Datenrahmen-Erkennungseinrichtung enthält ein Schieberegister zum Einschreiben der empfangenen digitalen xDSL-Eingangsdaten und einen Datenmusterspeicher zum Abspeichern des vorgegebenen Synchronisations-Datenmusters. Die Datenrahmen-Erkennungseinrichtung enthält ferner eine Vergleichseinrichtung, die einen bitweisen Datenvergleich der in dem Schieberegister eingeschriebenen Eingangsdaten mit dem in dem Datenmusterspeicher abgespeicherten Datensynchronisations-Datenmuster durchführt. Wenn die eingeschriebenen Eingangsdaten identisch mit dem abgespeicherten Datenrahmen-Synchronisationsmuster sind, so erkennt die Datenrahmen-Erkennungseinrichtung den Anfang eines neuen Datenrahmens und gibt ein Datenrahmen-Erkennungssignal ab. Anschließend wird das Schieberegister vorzugsweise zu einem Ringspeicher erweitert, der zum Zwischenspeichern der in dem Datenrahmen enthaltenen xDSL-Daten eingesetzt wird. Der Zwischenspeicher der Datenbits wird durch einen Pointer bzw. Zeiger gesteuert.

35 Für die Datenausgabe der in dem Datenrahmen enthaltenen Nutz- bzw. Payloaddaten wird vorzugsweise ein PCM-Port bzw. ein PCM-Ausgabe-Schnittstellen-Zwischenspeicher 26 eingesetzt.



Der erfindungsgemäße Hochgeschwindigkeitsprozessor 1 zeichnet sich durch eine einfache Prozessorarchitektur und einen einfachen schaltungstechnischen Aufbau aus. Der Datentransfer erfolgt bei dem erfindungsgemäßen Hochgeschwindigkeitsprozessor 1 mit einer sehr geringen Datenübertragungszeit. Aufgrund des eigenständigen Schnittstellen-Adressraums verfügt der erfindungsgemäße Hochgeschwindigkeitsprozessor 1 über Datenübertragungs-Prozessorbefehle, die einen Datenaustausch zwischen den Schnittstellen-Zwischenspeichern in einem Schritt erlaubt.

Bei der Datenübertragung von einem xDSL-Eingangsport 9 auf ein PCM-Ausgangsport 26 wird das Eingangsport 9 vor Beginn der Datenübertragung durch den Hochgeschwindigkeitsprozessor 1 mittels eines Resetsignals zurückgesetzt. Die Datenbits des xDSL-Datenrahmens werden in das Schieberegister eingeschoben, das die eingeschriebenen Daten mit dem abgespeicherten Synchronisationsdatenmuster vergleicht. Sind die eingeschriebenen Eingangsdaten mit dem abgespeicherten Synchronisationsdatenmuster identisch, wird ein Datenrahmen-Erkennungssignal als Interruptanforderung generiert. Die Interruptanforderung wird an eine Interruptsteuereinrichtung innerhalb der Datenverarbeitungseinheit 13 weitergeleitet. Das Eingangsport 9 enthält einen Ringspeicher, wobei jedes Datenbit mittels eines eigenen Zeigers adressierbar ist. Der Speicher ist nach dem FIFO-Prinzip organisiert (FIFO: First IN First OUT). Das Eingangsport wird mit dem Prozessortakt und dem Bittakt der empfangenen xDSL-Datenrahmen versorgt, so dass jedes Eingangsbit nur einmal zwischengespeichert wird.

Der PCM-Ausgangsport 26 speichert die Nutzdatenbits (Payload) und sobald in dem PCM-Ausgangszwischenspeicher 26 ein vollständiger Nutzdatenblock gespeichert ist, wird mit der Datenausgabe begonnen. Das PCM-Ausgangsport 26 besteht vorzugsweise aus einem 33 x 8 Bit-Speicher für die B-Bits und einem 8 x 1 Bit-Speicher für die D-Bits.

## Patentansprüche

## 1. Hochgeschwindigkeitsprozessor mit:

5 einer Datenverarbeitungseinheit (13) zur Verarbeitung von Daten;

einem Datenspeicher (20), der über einen Datenbus (10) mit der Datenverarbeitungseinheit verbunden ist und über einen  
10 Datenspeicheradressbus (18) durch die Datenverarbeitungseinheit (13) adressierbar ist;

mindestens einem an dem Datenbus (10) angeschlossenen Eingangs-Schnittstellen-Zwischenspeicher (9) zum Zwischenspeichern von Eingangsdaten;  
15

mindestens einem an den Datenbus (10) angeschlossenen Ausgangs-Schnittstellen-Zwischenspeicher (26) zum Zwischenspeichern von Ausgangsdaten,  
20

wobei der Eingangs-Schnittstellen-Zwischenspeicher (9) und der Ausgangs-Schnittstellen-Zwischenspeicher (26) über einen Schnittstellen-Adressbus (24) durch die Datenverarbeitungseinheit (13) direkt adressierbar sind.

25

2. Hochgeschwindigkeitsprozessor nach Anspruch 1, dadurch gekennzeichnet, dass der Datenspeicher (20) mindestens einen RAM-Speicher (19) enthält.

30

3. Hochgeschwindigkeitsprozessor nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass die Datenverarbeitungseinheit (13) mit einem ROM-Speicher (15) verbunden ist, der Programmdateien abspeichert.

35

4. Hochgeschwindigkeitsprozessor nach einem der vorangehenden Ansprüche,

d a d u r c h g e k e n n z e i c h n e t ,  
dass die Datenverarbeitungseinheit (13) eine RISC-  
Datenverarbeitungseinheit ist.

5 5. Hochgeschwindigkeitsprozessor nach einem der vorangehenden  
Ansprüche,

d a d u r c h g e k e n n z e i c h n e t ,  
dass die Datenverarbeitungseinheit (13) mehrere adressierbare  
interne Register enthält.

10

6. Hochgeschwindigkeitsprozessor nach einem der vorangehenden  
Ansprüche,

d a d u r c h g e k e n n z e i c h n e t ,  
dass durch die Datenverarbeitungseinheit (13) mehrere Daten-  
15 transfer-Prozessorbefehle zum direkten Datenaustausch zwi-  
schen dem Datenspeicher (20), den Registern (14) und den  
Schnittstellen-Zwischenspeichern (9, 26) ausführbar sind.

20

7. Hochgeschwindigkeitsprozessor nach einem der vorangehenden  
Ansprüche,

d a d u r c h g e k e n n z e i c h n e t ,  
dass bei Ausführung eines ersten Datentransfer-  
Prozessorbefehls durch die Datenverarbeitungseinheit (13) die  
in dem Eingangs-Schnittstellen-Zwischenspeicher (9) zwischen-  
25 gespeicherten Eingangsdaten direkt in ein internes Register  
(14) zur Datenverarbeitung übertragen werden.

8. Hochgeschwindigkeitsprozessor nach einem der vorangehenden  
Ansprüche,

30

d a d u r c h g e k e n n z e i c h n e t ,  
dass bei Ausführung eines zweiten Datentransfer-  
Prozessorbefehls durch die Datenverarbeitungseinheit (13) die  
in dem Eingangs-Schnittstellen-Zwischenspeicher zwischenge-  
speicherten Eingangsdaten direkt in einen Ausgangs-  
35 Schnittstellen-Zwischenspeicher (26) zur Datenausgabe über-  
tragen werden.

9. Hochgeschwindigkeitsprozessor nach einem der vorangehenden Ansprüche,

d a d u r c h g e k e n n z e i c h n e t ,  
dass bei Ausführung eines dritten Datentransfer-

- 5    Prozessorbefehls durch die Datenverarbeitungseinheit (13) die  
in einem internen Register (14) der Datenverarbeitungseinheit  
(13) zwischengespeicherten Daten direkt in den Ausgangs-  
Schnittstellen-Zwischenspeicher (26) zur Datenausgabe über-  
tragen werden.

10

10. Hochgeschwindigkeitsprozessor nach einem der vorangehen-  
den Ansprüche,

d a d u r c h g e k e n n z e i c h n e t ,  
dass bei Ausführung eines vierten Datentransfer-

- 15    Prozessorbefehls die in einem Eingangs-Schnittstellen-  
Zwischenspeicher (9) zwischengespeicherten Eingangsdaten di-  
rekt in den Datenspeicher (20) zum Abspeichern übertragen  
werden.

- 20    11. Hochgeschwindigkeitsprozessor nach einem der vorangehen-  
den Ansprüche,

d a d u r c h g e k e n n z e i c h n e t ,  
dass bei Ausführung eines fünften Datentransfer-  
Prozessorbefehls durch die Datenverarbeitungseinheit (13) die  
- 25    in dem Datenspeicher (20) abgespeicherten Daten direkt in den  
Ausgangs-Schnittstellen-Zwischenspeicher (26) zur Datenausga-  
be übertragen werden.

- 30    12. Hochgeschwindigkeitsprozessor nach einem der vorangehen-  
den Ansprüche,

d a d u r c h g e k e n n z e i c h n e t ,  
dass der Eingangs-Schnittstellen-Zwischenspeicher (9) an ei-  
nen Analog/Digital-Wandler (5) angeschlossen ist.

- 35    13. Hochgeschwindigkeitsprozessor nach einem der vorangehen-  
den Ansprüche,

d a d u r c h g e k e n n z e i c h n e t ,

dass der Ausgangs-Schnittstellen-Zwischenspeicher (26) an einen D/A-Wandler (32) angeschlossen ist.

5 14. Hochgeschwindigkeitsprozessor nach einem der vorangehenden Ansprüche,  
dadurch gekennzeichnet,  
dass der Eingangs-Schnittstellen-Zwischenspeicher (9) und der Ausgangs-Schnittstellen-Zwischenspeicher (26) über einen Steuersignalbus an die Datenverarbeitungseinheit (13) angeschlossen sind.

15 15. Hochgeschwindigkeitsprozessor nach einem der vorangehenden Ansprüche,  
dadurch gekennzeichnet,  
dass der Eingangs-Schnittstellen-Zwischenspeicher (9) ein xDSL-Schnittstellen-Zwischenspeicher zum Zwischenspeichern von xDSL-Daten ist.

20 16. Hochgeschwindigkeitsprozessor nach Anspruch 15,  
dadurch gekennzeichnet,  
dass der xDSL-Eingangs-Schnittstellen-Zwischenspeicher (9) eine Datenrahmen-Erkennungseinrichtung zur Erkennung eines Datenrahmen-Synchronisations-Datenmusters aufweist.

25 17. Hochgeschwindigkeitsprozessor nach Anspruch 16,  
dadurch gekennzeichnet,  
dass die Datenrahmen-Erkennungseinrichtung ein Schieberegister zum Einschreiben von Eingangsdaten, einen Datenmusterspeicher zum Abspeichern des Datenrahmen-Synchronisations-Datenmusters und  
30 eine Vergleichseinrichtung zum bitweisen Datenvergleich der in dem Schieberegister eingeschriebenen Eingangsdaten und des in dem Datenmusterspeicher abgespeicherten Datenrahmen-Synchronisations-Datenmusters aufweist,  
35 wobei die Vergleichseinrichtung ein Datenrahmen-Erkennungssignal erzeugt, wenn die in das Schieberegister eingeschrie-

benen Eingangsdaten mit dem abgespeicherten Datenrahmen-Synchronisations-Datenmuster identisch sind.

18. Hochgeschwindigkeitsprozessor nach Anspruch 17,

- 5    d a d u r c h   g e k e n n z e i c h n e t ,  
dass das Schieberegister nach Erzeugung des Datenrahmen-Erkennungssignals zu einem Ringspeicher zum Zwischenspeichern der xDSL-Daten erweitert wird.

10    19. Hochgeschwindigkeitsprozessor nach einem der vorangehenden Ansprüche,

- 6    d a d u r c h   g e k e n n z e i c h n e t ,  
dass der Ausgangs-Schnittstellen-Zwischenspeicher (26) ein PCM-Schnittstellen-Zwischenspeicher zum Zwischenspeichern von  
15    PCM-Daten ist.

20. Hochgeschwindigkeitsprozessor nach einem der vorangehenden Ansprüche,

- 20    d a d u r c h   g e k e n n z e i c h n e t ,  
dass jedes interne Register (14) mehrere Speicherplätze für verschiedene Datenwörter aufweist.

21. Hochgeschwindigkeitsprozessor nach einem der vorangehenden Ansprüche,

- 25    d a d u r c h   g e k e n n z e i c h n e t ,  
dass jedem durch die Datenverarbeitungseinheit (13) durchgeführten Prozessortask ein eigenes internes Register zugeordnet ist.

30    22. Hochgeschwindigkeitsprozessor nach einem der vorangehenden Ansprüche,

- 35    d a d u r c h   g e k e n n z e i c h n e t ,  
dass an die Schnittstellen-Zwischenspeicher (9, 26) Peripheriegeräte anschließbar sind.

23. Hochgeschwindigkeitsprozessor nach einem der vorangehenden Ansprüche,

d a d u r c h g e k e n n z e i c h n e t ,  
dass der Eingangs-Schnittstellen-Zwischenspeicher (9) und der  
Ausgangs-Schnittstellen-Zwischenspeicher (26) konfigurierbar  
sind.

## Zusammenfassung

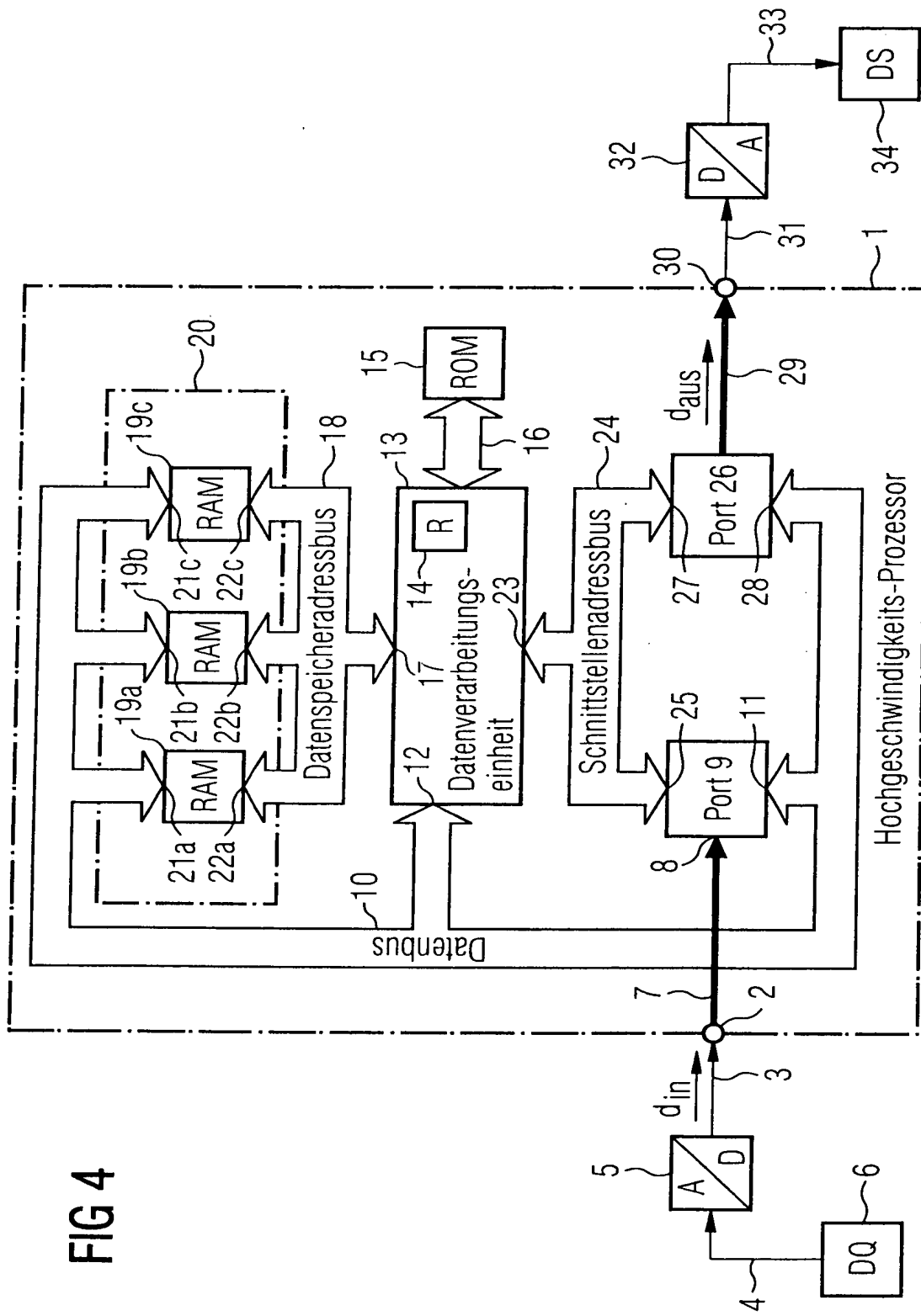
## Hochgeschwindigkeitsprozessor

- 5 Hochgeschwindigkeitsprozessor mit einer Datenverarbeitungseinheit (13) zur Verarbeitung von Daten, einem Datenspeicher (20), der über einen Datenbus (10) mit der Datenverarbeitungseinheit verbunden ist und über einen Datenspeicheradressbus (18) durch die Datenverarbeitungsein-
- 10 heit (13) adressierbar ist, mindestens einem an dem Datenbus (10) angeschlossenen Eingangs-Schnittstellen-Zwischenspeicher (9) zum Zwischenspeichern von Eingangsdaten, mindestens einem an den Datenbus (10) angeschlossenen Ausgangs-Schnittstellen-Zwischenspeicher (26) zum Zwischenspeichern von Ausgangsdaten, wobei der Eingangs-Schnittstellen-Zwischenspeicher (9) und der Ausgangs-Schnittstellen-Zwischenspeicher (26) über einen Schnittstellen-Adressbus (24) durch die Datenverarbeitungseinheit (13) direkt adressierbar sind.

20 Figur 4



FIG 4



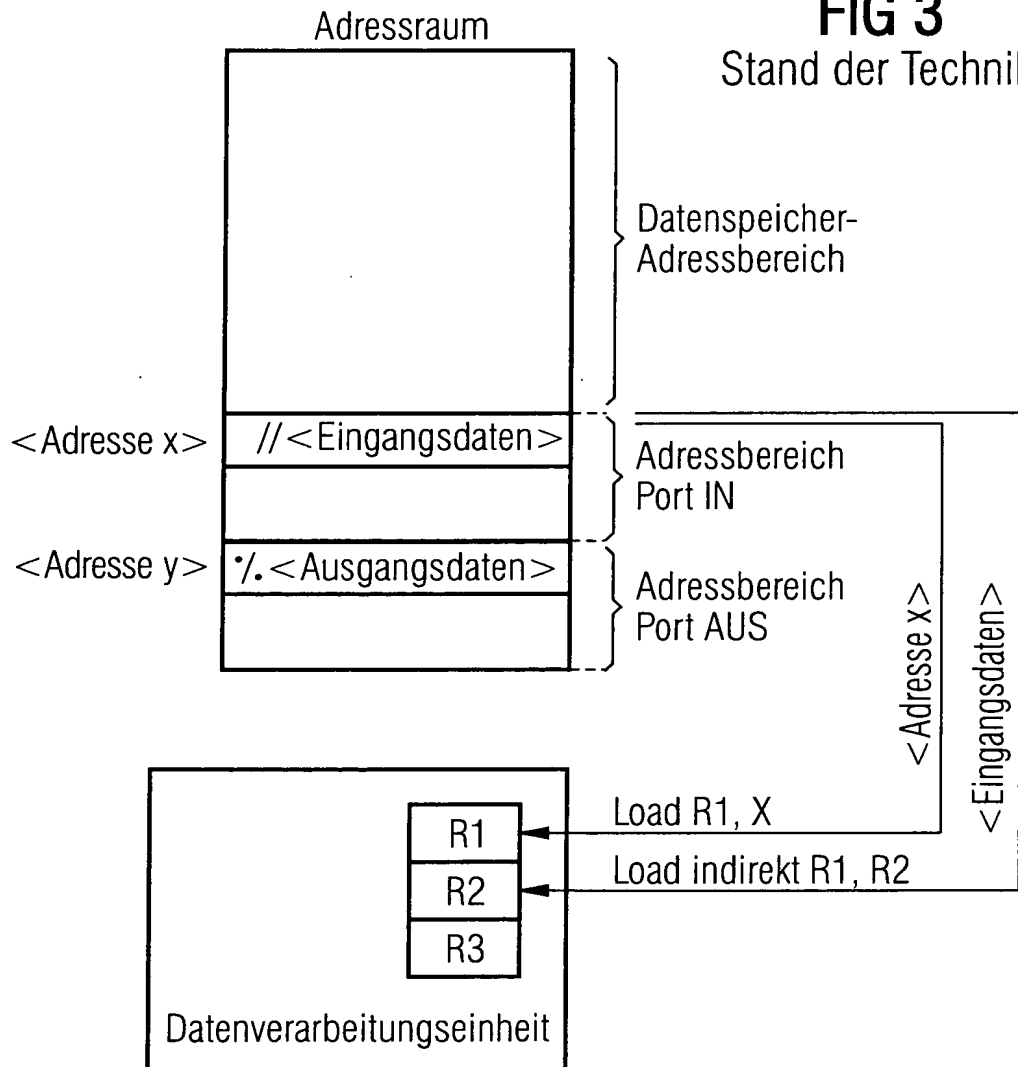
## Bezugszeichenliste

|    |    |  |
|----|----|--|
|    | 1  | Hochgeschwindigkeitsprozessor            |
|    | 2  | digitaler Eingang                        |
| 5  | 3  | Datenleitung                             |
|    | 4  | Analogleitung                            |
|    | 5  | Analog/Digital-Wandler                   |
|    | 6  | Datenquelle                              |
|    | 7  | Leitung                                  |
| 10 | 8  | Porteingang                              |
|    | 9  | Eingangs-Schnittstellen-Zwischenspeicher |
|    | 10 | Datenbus                                 |
|    | 11 | Datenbusanschluss                        |
|    | 12 | Datenbusanschluss                        |
| 15 | 13 | Datenverarbeitungseinheit                |
|    | 14 | interne Register                         |
|    | 15 | ROM-Speicher                             |
|    | 16 | Leitungen                                |
|    | 17 | Datenspeicheradressbusanschluss          |
| 20 | 18 | Datenspeicheradressbus                   |
|    | 19 | RAM-Speicher                             |
|    | 20 | Datenspeicher                            |
|    | 21 | Datenbusanschluss                        |
|    | 22 | Datenspeicheradressbusanschluss          |
| 25 | 23 | Schnittstellenadressbusanschluss         |
|    | 24 | Schnittstellenadressbus                  |
|    | 25 | Schnittstellenadressbusanschluss         |
|    | 26 | Ausgangs-Schnittstellen-Zwischenspeicher |
|    | 27 | Schnittstellenadressbusanschluss         |
| 30 | 28 | Datenbusanschluss                        |
|    | 29 | Leitungen                                |
|    | 30 | digitaler Datenausgang                   |
|    | 31 | Leitungen                                |
|    | 32 | Digital/Analog-Wandler                   |
| 35 | 33 | Analogleitungen                          |
|    | 34 | Datensenke                               |

**FIG 1**  
Stand der Technik



**FIG 3**  
Stand der Technik



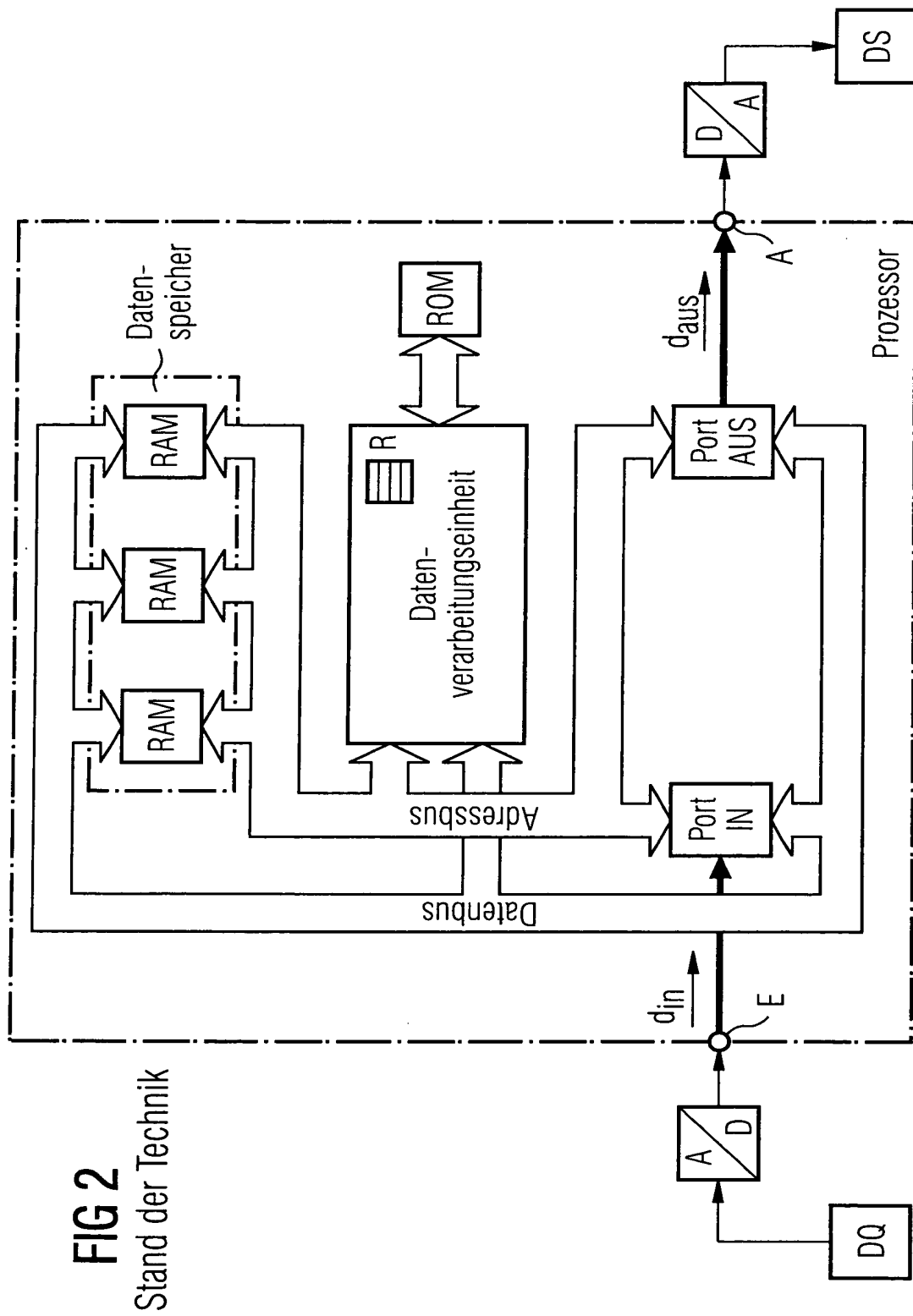


FIG 4

